



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 10 月 25 日
Application Date

申 請 案 號：091125220
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 13 日
Issue Date

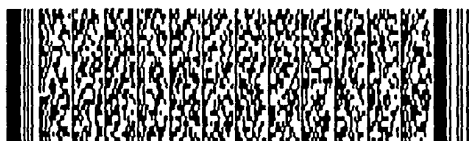
發文字號：09220815540
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	時脈偏移之指示裝置及可指示積體電路晶片時脈偏移之系統
	英 文	
二、 發明人	姓 名 (中文)	1. 林益明
	姓 名 (英文)	1. I-Ming Lin
	國 籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號八樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：時脈偏移之指示裝置及可指示積體電路晶片時脈偏移之系統)

一種可指示積體電路晶片時脈偏移之系統，包括一第一積體電路晶片以及一第二積體電路晶片。第一積體電路晶片依據第一時脈訊號工作，並可輸出該第一時脈訊號；第二積體電路晶片則依據一第二時脈訊號工作，且具有一種指示積體電路時脈偏移之裝置，包括一偵測電路以及一取樣電路。偵測電路接收第二時脈訊號和第一積體電路晶片所輸出之第一時脈訊號，以產生一比較訊號。取樣電路根據比較訊號設定一輸出訊號，以指示第一時脈訊號和第二時脈訊號之間是否存在時脈偏移。其中，比較訊號其脈衝寬度和時脈偏移的大小成比例。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

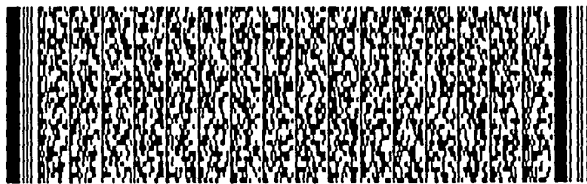
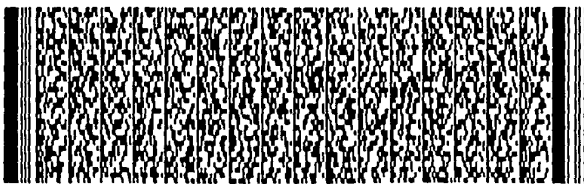
無

五、發明說明 (1)

本發明係有關於電路設計驗證之領域，特別係指自動指示時脈偏移(clock skew)之電路。

近年來隨著技術的進步和應用的需求，數位積體電路(integrated circuit, IC)運作所依據的時脈(clock)頻率也隨之提高。當IC晶片的運作頻率愈來愈高時，時脈訊號很容易受到印刷電路板(printed circuit board, PCB)的特性，如：銅線的阻抗、線路的佈局(layout)，以及時脈產生器的輸出特性和驅動能力等眾多的因素所影響，可能造成採用同一時脈來源的兩個或多個以上IC晶片其時脈訊號之間產生時間差異，亦即：時脈偏移，這種時脈偏移即使不大，也可能讓高速的電路無法正常運作，因此不管是IC設計人員、電路設計工程師或是PCB製造者均視時脈偏移為一重要的測試驗證項目。

在實際的電路系統裡，除了PCB的阻抗不同及時脈訊號佈局的線路長度不同等因素所造成的傳遞延遲之外，電路板上用來安裝IC晶片的插座亦會影響訊號傳遞的速度而形成時脈偏移。再者，即使是同一時脈產生器其不同的輸出腳之間就存在著時脈偏移，以100MHz的時脈輸出訊號為例，這種時脈偏移可容忍的最大值為150微微秒(picosecond)。一般而言，在量測時脈訊號時是以示波器的測試探棒接觸待測訊號，然而測試探棒與待測訊號的連接品質以及實際的接觸點均會影響量測結果，造成量測高速的時脈訊號時得到不正確的時脈偏移量，使工程人員忽略了時脈偏移的問題，因此常常在經過大量的試產和驗證



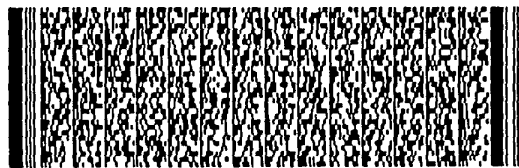
五、發明說明 (2)

程序後，才發現時脈偏移問題引起系統無法穩定的運作，將浪費許多的時間和金錢。有鑑於此，如何讓時脈偏移的問題能夠被快速正確的檢查出來，成為高速電路設計上的重要課題。

本發明之目的是提供一種電路，可以正確地指出真正進入IC晶片內的時脈訊號與其他採用同時脈來源的IC晶片其時脈訊號之間的時脈偏移是否在設計容忍範圍內。

為達上述目的，本發明提供一種指示積體電路時脈偏移之裝置，包括一偵測電路以及一取樣電路。偵測電路接收第一時脈訊號和第二時脈訊號，用以產生一比較訊號。根據比較訊號，取樣電路設定一輸出訊號以指示第一時脈訊號和第二時脈訊號之間是否存在時脈偏移。其中，偵測電路所產生的比較訊號其脈衝寬度和第一、第二時脈訊號間時脈偏移的大小成比例，取樣電路則用既定的頻率取樣比較訊號之脈衝寬度，以設定輸出訊號來指示時脈偏移的大小。根據本發明，指示積體電路時脈偏移之裝置還包含一鎖相迴路裝置，以提供具有上述既定頻率的參考時脈訊號給取樣電路來取樣比較訊號。

另一方面，本發明提供一種可指示積體電路晶片時脈偏移之系統，包括一第一積體電路晶片以及一第二積體電路晶片。第一積體電路晶片依據第一時脈訊號工作，並可輸出第一時脈訊號；第二積體電路晶片則依據第二時脈訊號工作，且具有一偵測電路以及一取樣電路。偵測電路接收第二時脈訊號和第一積體電路晶片所輸出之第一時脈訊

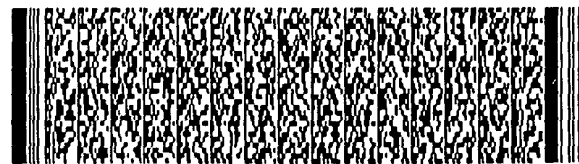
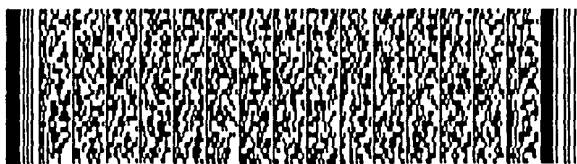


五、發明說明 (3)

號，以產生一比較訊號，其中比較訊號的脈衝寬度和第一、第二時脈訊號間時脈偏移的大小成比例。根據比較訊號，取樣電路設定一輸出訊號以指示第一、第二時脈訊號之間是否存在著時脈偏移。第一積體電路晶片包括接收外部的致能訊號之控制引腳，以及耦接第一時脈訊號之輸出緩衝器，因此，在致能訊號控制之下，第一積體電路晶片可從輸出緩衝器輸出第一時脈訊號。根據本發明，第二積體電路晶片還包括一鎖相迴路裝置，以提供具有既定頻率的參考時脈訊號給取樣電路。取樣電路則用該既定頻率來取樣比較訊號之脈衝寬度，以設定輸出訊號來指示時脈偏移的大小。

【實施例】

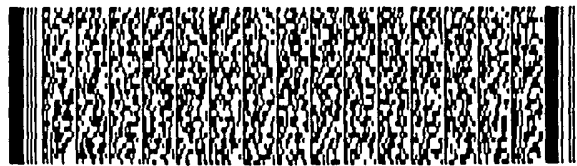
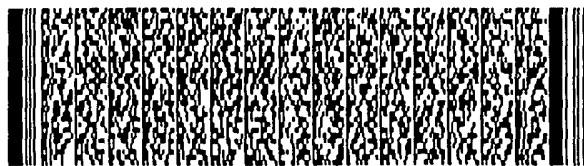
根據本發明的較佳實施例，如第1圖所示，高速電路系統100包括時脈產生器110、第一IC晶片120以及第二IC晶片130，以個人電腦系統為例，第一IC晶片120可以是同步動態隨機記憶體(Synchronous Dynamic Random Access Memory, SDRAM) 晶片，而第二IC晶片130可以是晶片組中的北橋(north bridge)邏輯晶片。在本實施例中，第一IC晶片120和第二IC晶片130於設計上採用差動(differential)模式的時脈訊號，以降低電磁雜訊干擾的影響，因此時脈產生器110分別將時脈訊號CK1、 $\overline{\text{CK1}}$ 提供給第一IC晶片120以及時脈訊號CK2、CK1' 提供給第二IC晶片130，使得第一、第二IC晶片120和130能夠各自依據



五、發明說明 (4)

CK1、 $\overline{\text{CK1}}$ 以及CK2、 $\overline{\text{CK2}}$ 來工作。第一IC晶片120具有一控制引腳121f來接收外部的致能訊號EN，並且還包括輸出緩衝器(buffer)122，透過輸入引腳121a、121b耦接時脈訊號CK1、 $\overline{\text{CK1}}$ ，在致能訊號EN控制之下，時脈訊號CK1、可經由輸出緩衝器122放大而由輸出引腳121c、121d輸出。如此一來，第一IC晶片120可將經過其內部的時脈訊號CK1'、 $\overline{\text{CK1}}$ ' 透過訊號線140提供給第二IC晶片130以驗證是否有時脈偏移的問題。根據本發明，訊號線140可以是一種測試治具，其用來傳導訊號的銅線具有已知的傳遞延遲時間。

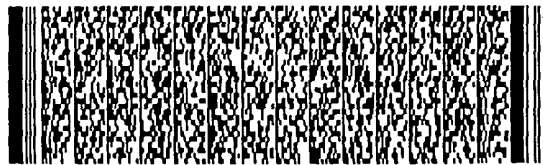
繼續參考第1圖，第二IC晶片130包括第一轉換器132A、第二轉換器132B、偵測電路134、取樣電路136以及鎖相迴路(phase-locked loop)裝置138。第一轉換器132A透過輸入引腳131a、131b接收來自第一IC晶片120的時脈訊號CK1'、 $\overline{\text{CK1}}$ '，而第二轉換器132B則透過輸入引腳131c、131d接收時脈訊號CK2、 $\overline{\text{CK2}}$ 。第一、第二轉換器132A和132B分別將時脈訊號CK1'、 $\overline{\text{CK1}}$ ' 以及時脈訊號CK2、 $\overline{\text{CK2}}$ 由差動模式轉變成單端(single-ended)模式，任何熟習此技藝者當明瞭：若第一、第二IC晶片120和130於設計上採用單端模式的時脈訊號，則第一、第二轉換器132A和132B非為必要元件而可省略。偵測電路134接收轉



五、發明說明 (5)

換過的單端時脈訊號CK_A和CK_B以產生比較訊號D，根據本發明，偵測電路134可以是一種比較器，而產生的比較訊號D其脈衝寬度和時脈訊號CK_A和CK_B之間時脈偏移的大小成比例或是相等。鎖相迴路裝置138提供參考時脈訊號CLKs給取樣電路136，其中參考時脈訊號CLKs的頻率為一既定值，而取樣電路136可用此一既定的頻率取樣比較訊號D的脈衝寬度，因此參考時脈訊號CLKs的頻率可以設計在使取樣電路136能夠鑑別剛好超過高速電路系統100所允許的時脈偏移量。取樣電路136可以是一種門鎖器(latch)，其根據比較訊號D設定輸出訊號Q，以指示時脈訊號CK_A和CK_B之間是否存著時脈偏移。

參考第2圖的時序圖，若時脈訊號CK1、 $\overline{\text{CK1}}$ 和時脈訊號CK2、 $\overline{\text{CK2}}$ 存在一時脈偏移 $\Delta t1$ ，造成偵測電路134接收到的CK_A訊號落後於CK_B訊號，其時間差為 $\Delta t2$ ，因此取樣電路136產生脈衝寬度為 $\Delta t2$ 之比較訊號D。若CK_A訊號和CK_B訊號之間的時脈偏移小於高速電路系統100所允許的範圍，則取樣電路136無法取樣到比較訊號D的脈衝寬度而產生的輸出訊號Q其值為零；若CK_A訊號和CK_B訊號之間的時脈偏移超過高速電路系統100所允許的範圍，如圖所示，取樣電路136依據CLKs訊號取樣比較訊號D的脈衝寬度，以設定輸出訊號Q來指示CK_A訊號和CK_B訊號之間時脈偏移的大小。由於訊號線140的傳遞延遲時間為已知，

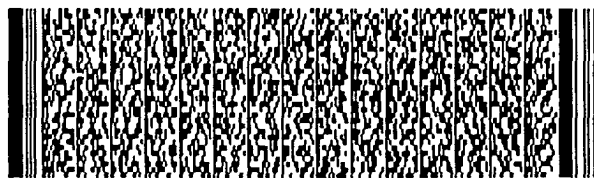


五、發明說明 (6)

因此輸出訊號Q能夠反應時脈訊號CK1、 $\overline{\text{CK1}}$ 和時脈訊號CK2、 $\overline{\text{CK2}}$ 之間最接近真實的時脈偏移。

取樣電路136的輸出訊號Q其值可以寫入第二IC晶片130的暫存器中(圖中未示)，當需要量測時脈偏移時，設定致能訊號EN為邏輯"1"，使第一IC晶片120可將經過其內部的時脈訊號CK1'、 $\overline{\text{CK1'}}$ 提供給第二IC晶片130以進行驗證。參考第3A圖的應用實例，若高速電路系統100為筆記型電腦的主機板，則可以利用內嵌控制器透過訊號線350讀取第二IC晶片130中暫存器所存放輸出訊號Q的數值，如此便可知道第一、第二IC晶片120和130其時脈訊號之間的時脈偏移；其中，內嵌控制器360與時脈產生器110係以程式(program)化之方式直接溝通。如第3B圖所示，第二IC晶片130中暫存器所存放輸出訊號Q的數值亦可透過訊號線回饋給時脈產生器110，如此時脈產生器110便可以調整其輸出使時脈偏移減少。其中，因未來桌上型(desktop)電腦之主機板架構上沒有內嵌控制器360，所以第3B圖中，第二IC晶片130與時脈產生器110係直接溝通。

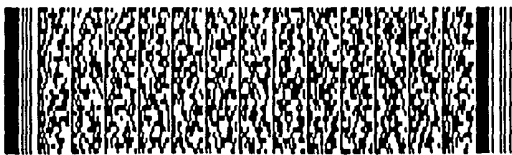
綜合以上所述，本發明的指示電路能正確地指出真正進入IC晶片內的時脈訊號與其他採用同時脈來源的IC晶片其時脈訊號之間時脈偏移的大小，藉此可以在功能測試或工程驗證測試階段量測時脈偏移是否符合設計規範，而能在量產前提早發現問題並克服之，相較於傳統的方式，可



五、發明說明 (7)

以節省大量的時間和金錢。

雖然本發明已以一具體實施例揭露如上，然其僅為了易於說明本發明之技術內容，而並非將本發明狹義地限定於該實施例，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖是本發明較佳實施例之電路方塊示意圖；

第2圖是較佳實施例中的操作時序圖；以及

第3A、3B圖是應用本發明之實例示意圖。

【標號說明】

100~ 高速電路系統

110~ 時脈產生器

120~ 第一IC晶片

CK1、 $\overline{CK1}$ ~ 時脈訊號

121a-b~ 輸入引腳

121c-d~ 輸出引腳

121f~ 控制引腳

122~ 輸出緩衝器

CK1'、 $\overline{CK1'}$ ~ 時脈訊號

130~ 第二IC晶片

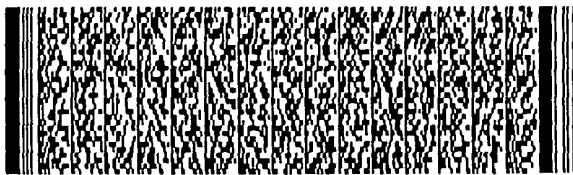
CK2、 $\overline{CK2}$ ~ 時脈訊號

131a-d~ 輸入引腳

132A~ 第一轉換器

132B~ 第二轉換器

134~ 偵測電路



圖式簡單說明

136~取樣電路

138~鎖相迴路裝置

140~訊號線

350、350'~訊號線

360~內嵌控制器

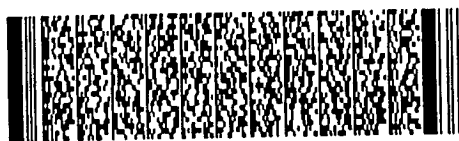
EN~致能訊號

CK_A、CK_B~時脈訊號

D~比較訊號

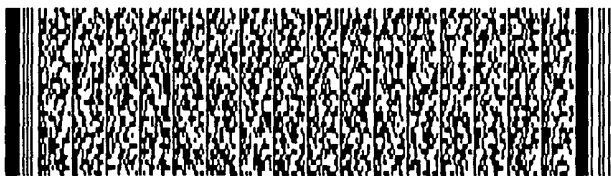
Q~輸出訊號

CLKs~參考時脈訊號



六、申請專利範圍

1. 一種指示積體電路時脈偏移之裝置，至少包含：
一偵測電路，接收一第一時脈訊號以及一第二時脈訊號，以產生一比較訊號；以及
一取樣電路，根據該比較訊號設定一輸出訊號，以指示該第一時脈訊號和該第二時脈訊號之間是否存在一時脈偏移。
2. 如申請專利範圍第1項所述指示積體電路時脈偏移之裝置，其中上述第一時脈訊號係一差動模式之時脈訊號。
3. 如申請專利範圍第2項所述指示積體電路時脈偏移之裝置更至少包含一第一轉換器，將上述第一時脈訊號從上述差動模式轉變成一單端模式，再提供給上述偵測電路。
4. 如申請專利範圍第3項所述指示積體電路時脈偏移之裝置，其中上述第二時脈訊號係上述差動模式之時脈訊號。
5. 如申請專利範圍第4項所述指示積體電路時脈偏移之裝置更至少包含一第二轉換器，將上述第二時脈訊號從上述差動模式轉變成上述單端模式，再提供給上述偵測電路。
6. 如申請專利範圍第1項所述指示積體電路時脈偏移之裝置，其中上述偵測電路所產生的上述比較訊號其脈衝寬度和上述第一時脈訊號、上述第二時脈訊號間的上述時脈偏移的大小成比例。



六、申請專利範圍

7. 如申請專利範圍第6項所述指示積體電路時脈偏移之裝置，其中上述取樣電路用一既定頻率取樣上述比較訊號之脈衝寬度，以設定上述輸出訊號來指示上述第一時脈訊號和上述第二時脈訊號之間的上述時脈偏移的大小。

8. 如申請專利範圍第7項所述指示積體電路時脈偏移之裝置更至少包含一鎖相迴路裝置，以提供具有上述既定頻率的一參考時脈訊號給上述取樣電路來取樣上述比較訊號。

9. 一種可指示積體電路晶片時脈偏移之系統，至少包含：

一第一積體電路晶片，依據一第一時脈訊號工作，並可輸出該第一時脈訊號；以及

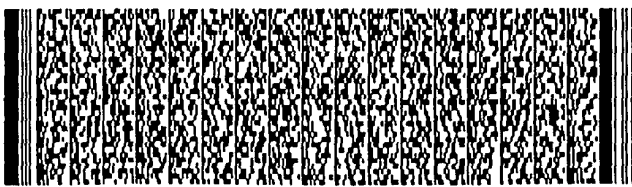
一第二積體電路晶片，依據一第二時脈訊號工作，至少包含：

一偵測電路，接收該第二時脈訊號以及該第一積體電路晶片所輸出之該第一時脈訊號，以產生一比較訊號；以及

一取樣電路，根據該比較訊號設定一輸出訊號，以指示該第一時脈訊號和該第二時脈訊號之間是否存在一時脈偏移；

其中，該比較訊號其脈衝寬度和該第一時脈訊號、該第二時脈訊號間的該時脈偏移的大小成比例。

10. 如申請專利範圍第9項所述可指示積體電路晶片時脈偏移之系統，其中上述第一積體電路晶片至少包含：



六、申請專利範圍

一控制引腳，接收外部的一致能訊號；以及

一輸出緩衝器，耦接上述第一時脈訊號，在該致能訊號控制之下，用以輸出上述第一時脈訊號。

11. 如申請專利範圍第9項所述可指示積體電路晶片時脈偏移之系統，其中上述第一時脈訊號係一差動模式之時脈訊號。

12. 如申請專利範圍第11項所述可指示積體電路晶片時脈偏移之系統，其中上述第二積體電路晶片更至少包含一第一轉換器，將上述第一積體電路晶片所輸出之上述第一時脈訊號從上述差動模式轉變成一單端模式，再提供給上述偵測電路。

13. 如申請專利範圍第12項所述可指示積體電路晶片時脈偏移之系統，其中上述第二時脈訊號係上述差動模式之時脈訊號。

14. 如申請專利範圍第13項所述可指示積體電路晶片時脈偏移之系統，其中上述第二積體電路晶片更至少包含一第二轉換器，將上述第二時脈訊號從上述差動模式轉變成上述單端模式，再提供給上述偵測電路。

15. 如申請專利範圍第9項所述可指示積體電路晶片時脈偏移之系統，其中上述取樣電路用一既定頻率取樣上述比較訊號之脈衝寬度，以設定上述輸出訊號來指示上述第一時脈訊號和上述第二時脈訊號之間的上述時脈偏移的大小。

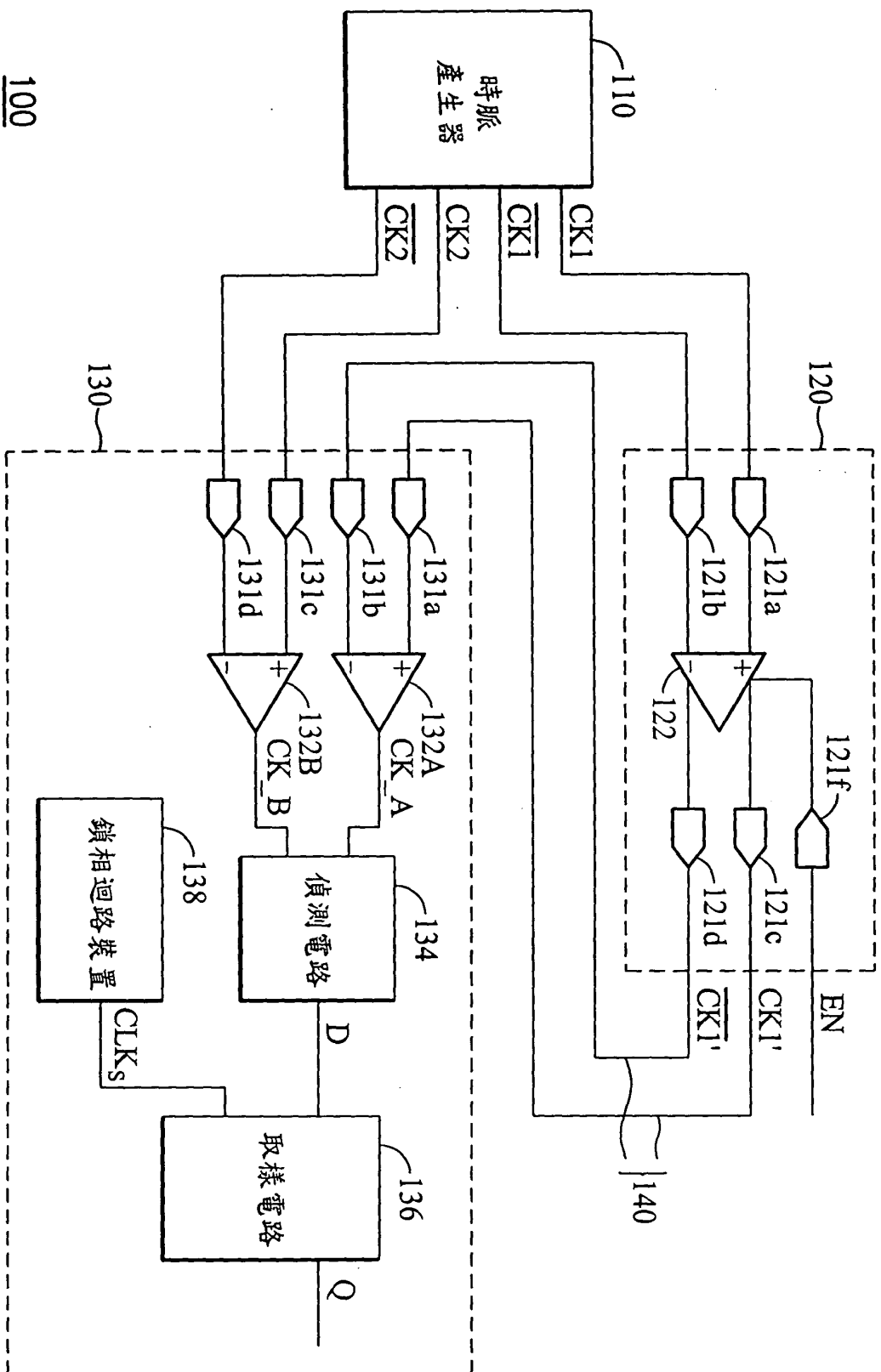
16. 如申請專利範圍第15項所述可指示積體電路晶片



六、申請專利範圍

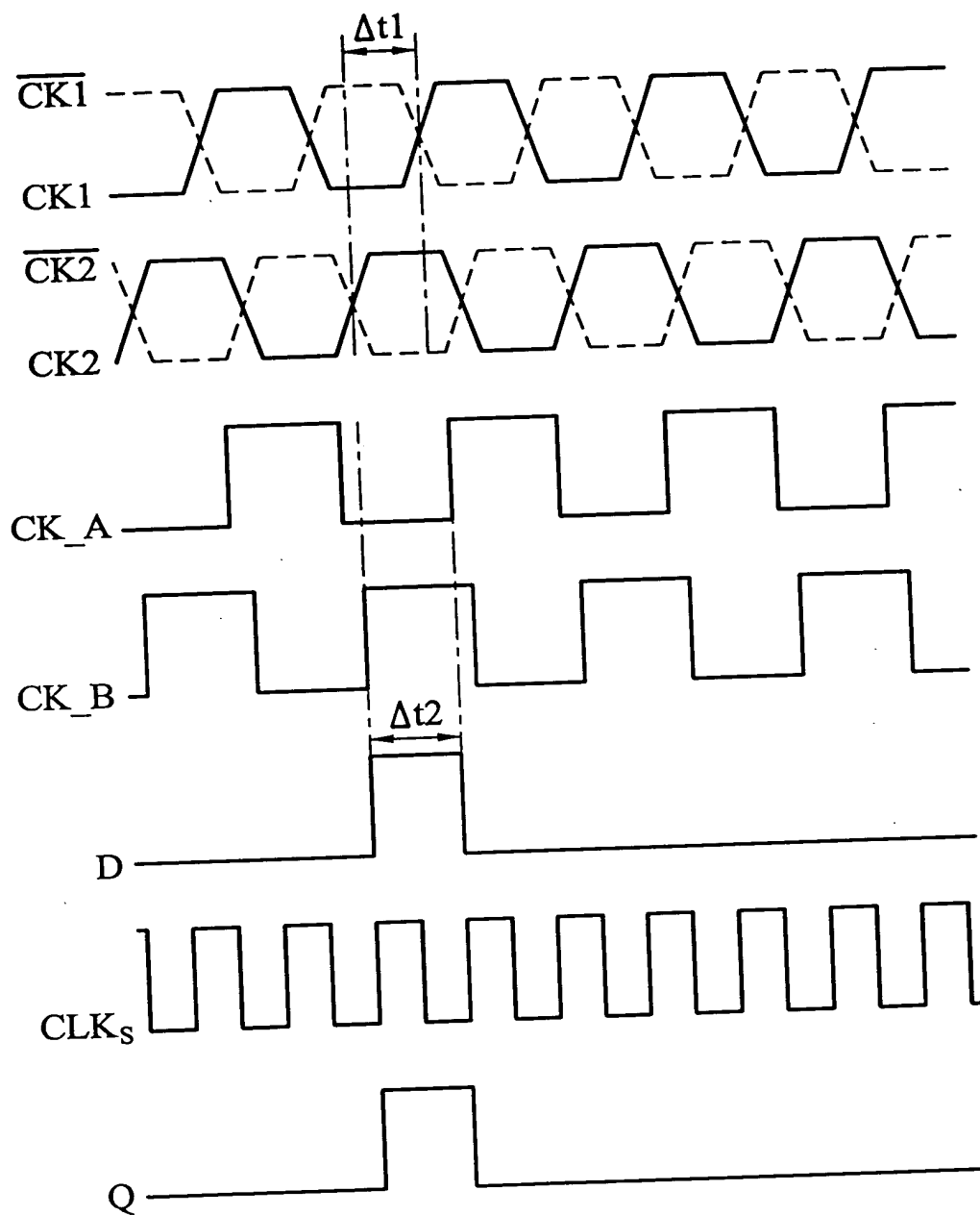
時脈偏移之系統，其中上述第二積體電路晶片更至少包含一鎖相迴路裝置，以提供具有上述既定頻率的一參考時脈訊號給上述取樣電路來取樣上述比較訊號。



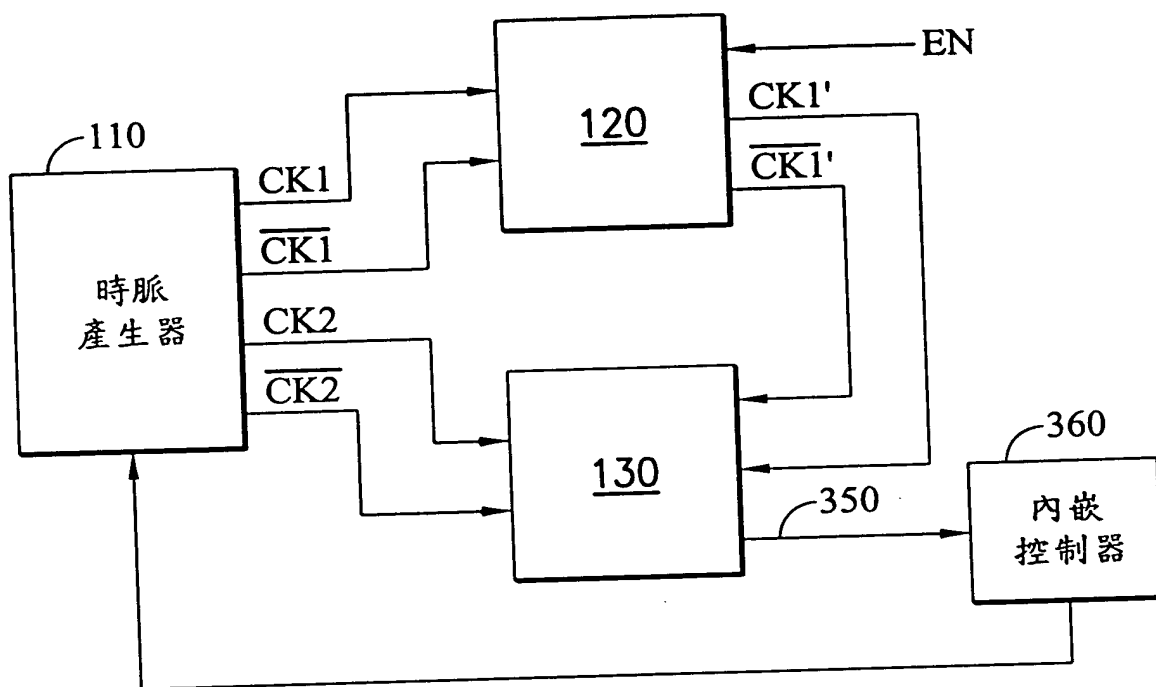


100

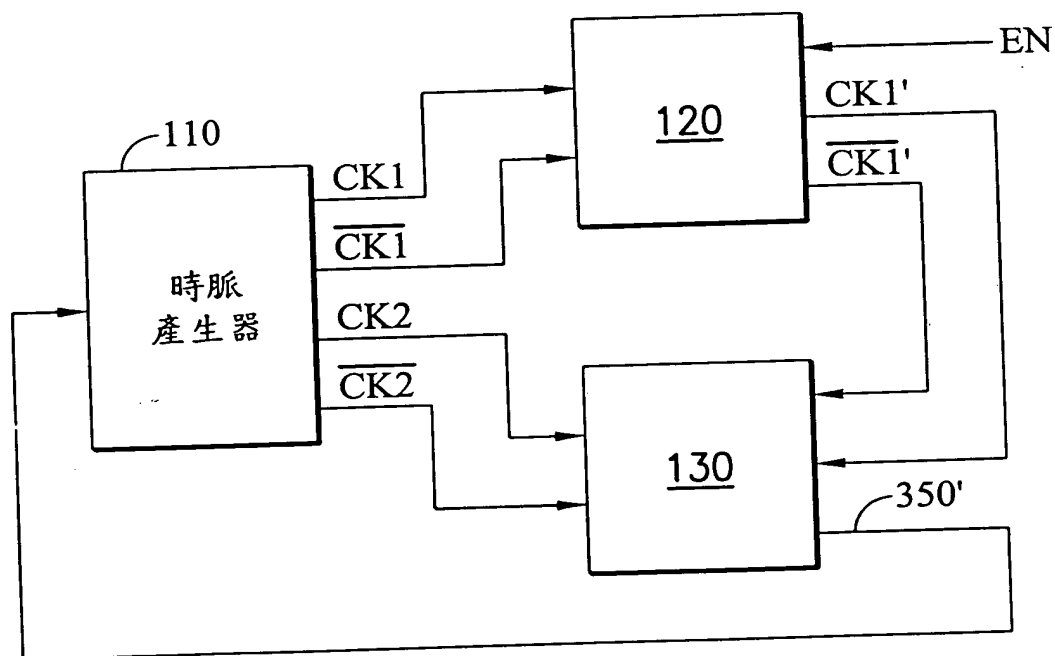
第 1 圖



第 2 圖

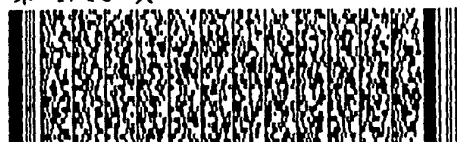


第3A圖

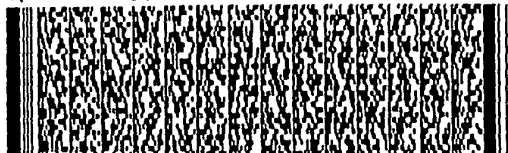


第3B圖

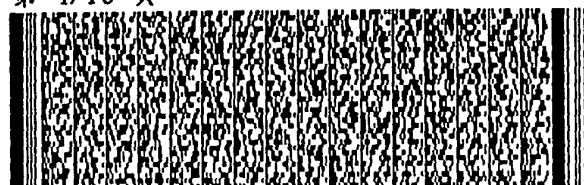
第 1/16 頁



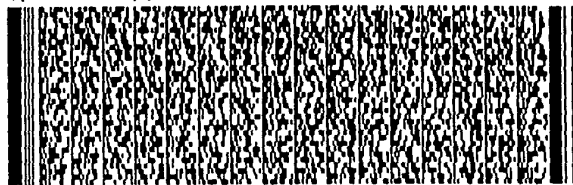
第 2/16 頁



第 4/16 頁



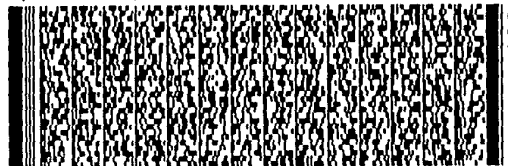
第 4/16 頁



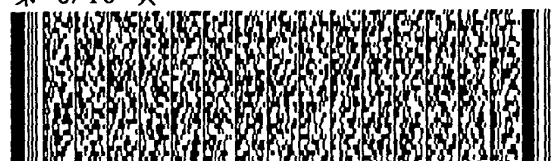
第 5/16 頁



第 5/16 頁



第 6/16 頁



第 6/16 頁



第 7/16 頁



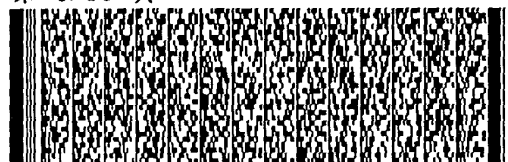
第 7/16 頁



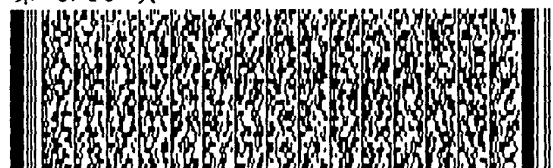
第 8/16 頁



第 8/16 頁



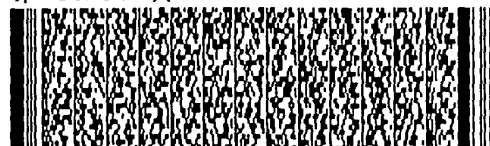
第 9/16 頁



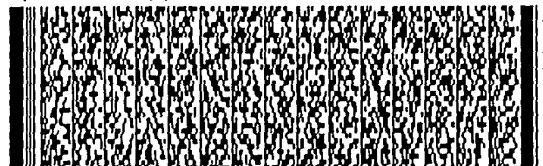
第 9/16 頁



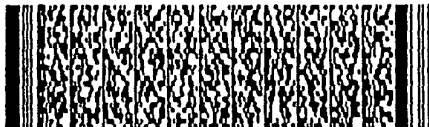
第 10/16 頁



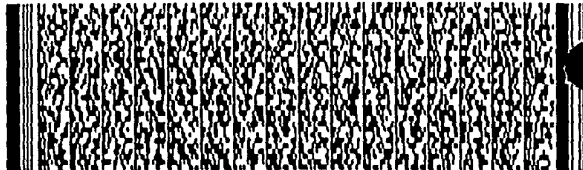
第 11/16 頁



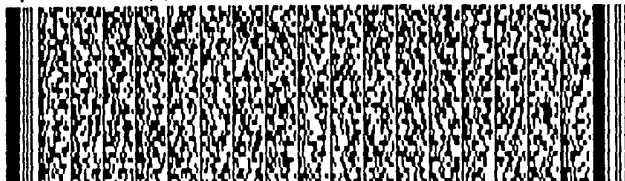
第 12/16 頁



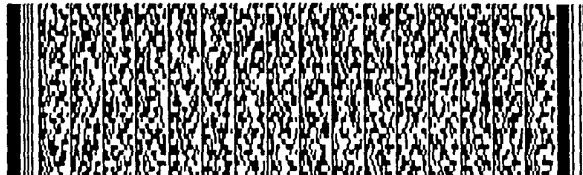
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

